Table

Description automatically generatedLoRa config:

- dữ liệu mã hóa thành các "Chip" sin với tần số thay đổi tuyến tính theo thời gian

- bao gồm Up-Chip và Down-Chip

Tham số đặc trưng cho điều chế:

-Tỷ lệ mã hóa(Coding Rate)

-Hệ số trải phổ(Spreading Factor)

-Băng thông(Bandwidth)

1. Tỷ lệ mã hóa

- Kỹ thuật FEC(Forward error Correction), tăng khả năng xử lý dữ liệu bên thiết bị nhận.

- độ lớn gói tin phụ thuộc vào hệ số CR,(norm 4) nếu CR=0 thì k có FEC.

- sử dụng tỉ lệ mã code là 4/5, 4/6, 4/7, 4,8.

-Nếu CR = 4/8 thì 4 bit data được mã hóa bởi 8 bit, --> chipset phải gửi gấp đôi dữ liệu cần truyền

- --> Dùng CR thấp tăng throughput nhưng độ nhạy sẽ giảm do khả năng tự phục hồi giảm

2. Hệ số trải phổ

- SF=Symbol rate/bandwidth

- SF xác định số lượng chip khi mã hóa tín hiệu đã được điều chế tần số, biểu diễn lượng bit tối đa mà 1 symbol có thể mang theo(7-12)

- mỗi symbol được mã hóa thành 2^SF"chip"

- việc tăng SF thì sẽ làm tăng lượng chip mã hóa một symb, làm cho tốc độ truyền nhận bị giảm thiểu

- thường sử dụng hệ số trải phổ trực giao từ 7 tới 12( riêng SX1277 là từ 6 tới 9)

-cho phép thiết bị sử dụng nhiều hệ số khác nhau trong 1 hệ thống mà k gây nhiễu.

-SF=7 có tốc độ truyền lớn nhất nhưng khoảng cách min

3. Băng thông

- Một symbol gồm 2^SF chip được truyền đi trong toàn dải băng thông. loại tín hiệu được sử dụng

là Up-chirp.

- tần số tăng tới tối đa của dải băng thông thì sẽ quay ngược lại và tiếp tục tăng, cứ như vậy

trong suốt thời gian truyền 1 symbol.

- tốc độ chip phụ thuộc vào độ rộng băng thông, dải các rộng thì Time càng << . 3 mức phổ biến

là 125kHz, 250kHz và 500kHz

- Ts = 2^SF/BW

- tỉ lệ Symbol được truyền trong1 giây(Rs)

Rs=1/Ts

- tốc độ bit

Rb=SF\*(BW/2^SF)\*CR

SX1278 là chế độ bán song công, giảm thiểu năng lượng tiêu thụ rất nhiều nếu ta chọn

full duplex

SF(hệ số trải phổ) được mô tả bằng cách biểu diễn từng bit của thông tin truyền tải

dưới dạng "chips" thông tin. Tốc độ mà SF được gửi đi liên quan tới symbol rate(Rs)

, tỉ lệ giữa nominal symbol/chip rate chính là hệ số trải phổ và nó được tính bằng

só lượng symbol gửi đi mỗi bit tín hiệu.

Coding rate(CR)- để cải thiện khả năng xác định lỗi và sửa chữa. Những lỗi mà xảy

ra tại đầu truyền nhận,

Forward error correction(FEC) cực kì hiệu quả trong việc cải thiện sự tin cậy của

việc giao tiếp. do đó CR có thể thay đổi đáp ứng trong điều kiện channel-(kênh RF)

CR có thể

- Signal Bandwidth (SB) băng thông rộng cho phép sự hiệu quả cao hơn trong tốc độ

truyền dữ liệu từ đó giảm thiểu thời gian truyền đạt nhưng cũng giảm đi độ nhạy.

Trái ngược với FSK modem cái mà được mô tả về mặt đơn biên băng thông, băng thông của LoRa modem

sẽ là song biên băng thông( hoặc là tổng của các channel).

tốc độ truyền đạt Symbol được tính bằng công thức:

Rs=BW/(2^SF)

với BW là băng thông được lập trình và SF là hệ số trải phổ. tín hiệu truyền đạt là một hằng số

tín hiệu dạng vỏ bọc. Tương đương với việc 1 chip được gửi mỗi giây trên mỗi Hz của băng thông

-Ta có 1 gói LoRa sẽ bao gồm 3 phần chính

preamble

optional header

data payload

Graphical user interface, application, table

Description automatically generated

-Preamble: được dùng để đồng bộ hóa tín hiệu nhận với lượng data tới. Thông thường thì 1 packet

sẽ được cấu hình với 12 symbol long sequence. Nó là 1 biến có thể lập trình được nên độ dài của

preamble có thể rộng hơn, ex: trong việc muốn giảm thiểu chu kì nhận. Tuy nhiên độ dài ngắn nhất

sẽ tương thích với mọi loại truyền thông. Độ dài của preamble transmit có thể thay đổi từ 6 tới 65535

bằng thanh ghi PreambleLength, tổng có thể lên tới 6+4 đến 65535+4 symbols.

-Header: Dựa vào việc chọn chế độ thì sẽ có 2 kiểu header khả dụng. Header type is selected bởi

bit ImplicitHeaderModeOn trong thanh ghi RegModemConfig1.

Explicit Header Mode: Đây là mode mặc định. ở đây thì header sẽ cung cấp thông tin payload

- Độ dài payload tính theo đơn vị bytes

- CR của FEC

- Sự tồn tại của 16 bits CRC payload

Header thì truyền tải với max error correction code(4/8). Nó cũng có CRC riêng cho phép bộ

nhận bỏ qua những header không hợp lệ

Implicit Header Mode: ở những trường hợp cụ thể, khi mà payload, CR và CRC cố định hoặc là

đã biết trước thì ta có thể giảm thiểu thời gian truyền đạt bằng cách gọi chế độ implicit.

Ở chế độ này, header sẽ được bỏ qua khỏi packet. Với độ dài của payload, CR và CRC phải configured

ở cả 2 đầu một cách thủ công.

Note : SF = 6, Implicit header mode is only mode possible

Explicit header mode: presence of CRC tại cuối payload được chọn duy nhất qua phía truyền bởi bit

RxPayloadCrcOn trong thanh ghi RegModemConfig1

Ở đầu nhận, bit RxPayloadCrcOn trong thanh ghi RegModemConfig1 không được sử dụng và một khi payload

được nhận, ta phải check bit CrcOnPayload ở thanh ghi RegHopChannel. nếu bit CrcOnPayload = 1

kiểm tra tiếp Irq Flag PayloadCrcError để chắc chắn CRC hợp lệ.

nếu CrcOnPayload = 0 có nghĩa là không có CRC ở Payload và do đó IRQ Flag PayloadCrcError sẽ không

được kích hoạt ngay cả khi payload xảy ra lỗi.

Table

Description automatically generated

Implicit Header Mode: Ở chế độ này, phải set bit RxPayloadCrcOn ở thanh ghi RegModemConfig1 ở cả RX và TX

Table

Description automatically generated

Low Data Rate Optimization:

Tiềm năng của dự trữ packet với hệ số trải phổ cao để tăng sự mạnh mẽ của việc truyền đạt với nhiều tần số khác nhau. Bit LowDataRateOptimize tăng sự mạnh mẽ của liên kết LoRa tại những nơi tốc độ truyền data kém hiệu quả. Nên dùng khi thời gian truyền tải symbol vượt ngưỡng 16ms. Và phải chắc chắn rằng ở cả bộ truyền và bộ thu đều phải cùng setting cho LowDataRateOptimize.

Payload:

Gói packet payload có độ dài không cố định, chứa dữ liệu thực với tỷ lệ lỗi cũng như header với chế độ explicit mode hay là cài đặt thanh ghi ở chế độ implicit mode . optional CRC thì có thể xuất hiện.

TOA(time on air):

Với sự kết hợp của hệ số trải phổ(SF), tỉ lệ mã hóa (CR) and băng thông (BW) thì thời gian truyền đạt 1 gói tin chính là:

Schematic

Description automatically generated with medium confidence

Thời lượng 1 gói LoRa bằng tổng thời gian Preamble và thời gian truyền packet. Độ dài của preamble dược tính

Text, letter

Description automatically generated

Với n(preamble) chính là độ dài của preamble được lập trình trước đó, lấy từ thanh ghi RegPreambleMsb and RegPreambleLsb. Thời lượng xử lí payload phụ thuộc vào chế độ của header. Công thức sau tính ra được số lượng payload symbols.

A picture containing company name

Description automatically generated

Với

-PL là số lượng Payload bytes(1 to 255)

- SF là hệ số trải phổ (6 to 12)

-IH =0 khi header được bật, IH =1 khi không có header

-DE = 1 khi LowDataRateOptimize = 1, ngược lại thì DE = 0

- CR là tỉ lệ mã hóa(1 với 4/5, 4 với 4/8)

Thời gian truyền Payload sẽ là Text

Description automatically generated

Thời gian truyền tin, hay còn gọi là thời lượng truyền packet, đơn giản là tổng của thời gian preamble và payload

Tpacket=Tpreamble+Tpayload

Frequency Hopping with LoRaTM

Frequency hopping spread spectrum(FHSS) là khi thời lượng truyền tin 1 gói đơn có thể vượt quá thời gian cho phép. Sử dụng chuyển đổi tần số đều đặn trong quá trình truyền dẫn để tránh nhiễu tín hiệu và tăng độ bảo mật của dữ liệu truyền đi. Kỹ thuật này cho phép truyền dẫn tốc độ cao hơn.

Timing of Channel Updates: Yêu cầu ngắt với các kênh, FhssChangeChannel, được tạo bằng cách chuyển tới tần số mới. Frequency hopping được biểu diễn như dưới:

Chart

Description automatically generated

**LoRa configuration registers**: thông qua giao thức SPI. Đọc các thanh ghi được thực hiện ở mọi chế độ kể cả sleep. Tuy nhiên, nên được viết chỉ trong 2 chế độ Sleep và Standby.

**LoRa data buffere FIFO mode:**

Tổng quan: chip được trang bị 256 bytes RAM data buffer. Phân vùng bộ nhớ này gọi là data buffer, có thể hoàn toàn tinh chỉnh được bởi người dùng và cho phép truy cập bởi phía receive hoặc phía transmit. Tất cả truy cập tới LoRa data buffer đều được dùng qua SPI. Memory map below:

Chart

Description automatically generated

The FIFO data buffer có thể được đọc ở mọi chế độ ngoại trừ Sleep và việc lưu trữ dữ liệu phụ thuộc vào lần nhận cuối được biểu diễn.

**Nguyên lí hoạt động:** Nhờ vào cấu hình cổng đôi, nó có thể đồng thời lưu trữ dữ liệu truyền và nhận trong thanh FIFO data buffer. Thanh ghi RegFifoTxBaseAddr chỉ định tới bộ nhớ nơi mà thông tin truyền được lưu giữ. Tương tự, đối với bên nhận, thanh ghi RegFifoRxBaseAddr …

Mặc định, thiết bị được cấu hình với nửa vùng nhớ là Tx và nửa còn lại là Rx(RegFifoRxBaseAddr từ 0x00 và RegFifoTxBaseAddr bắt đầu từ 0x80). Tuy nhiên nhờ vào lớp tiếp giáp tự nhiên của FIFO data buffer, đại khái là ta có thể thay đổi base mem của hai vùng Tx và Rx miễn là trong vùng 256 bytes. Mỗi con trỏ đều có thể set 1 cách độc lập miễn là trong vùng FIFO. Cuối cùng thì nếu muốn dùng max cái FIFO ta có thể đặt cái Rx Tx register kia đều ở 0x00.

FIFO data buffer được clear khi mà chip ở chế độ Sleep, hậu quả là không có truy cập tới FIFO data buffer khả dụng khi ở sleep mode. Nhưng mà dữ liệu của FIFO data buffer thì sẽ được duy trì nếu chuyển qua mode hoạt động khác, do đó received packet thì có thể retransmit với lượng data tối thiểu ở phía điều khiển. FIFO data buffer thì không tự clear được( trừ phi là cho nó vào Sleep mode) và dữ liệu chỉ được “erased” khi mà một nhóm data mới được viết vào phần bộ nhớ đã lưu trữ(ý là lưu chèn lên)

Ô nhớ FIFO data buffer có thể được đọc hoặc viết qua giao thức SPI định nghĩa bởi RegFifoAddrPtr. Trước khi viết hoặc đọc thì rất cần thiết để khởi tạo 1 con trỏ với giá trị ban đầu sao cho mỗi lần đọc hoặc ghi thì ta tăng giá trị địa chỉ con trỏ lên

Thanh ghi RegRxNbBytes định nghĩa kích thước ô nhớ cần phải ghi với mỗi sự kiện nhận data thành công. Thanh RegPayloadLength chỉ ra số ô nhớ cần phải truyền đi. ở Implicit header mode(chế độ đầu truyền ngầm định) thanh ghi RegRxNbBytes không được sử dụng vì số lượng payload đã biết trước rồi. CÒn với explicit header(chế độ đầu vào rõ ràng) kích thước khởi tạo của buffer receive được set bằng độ dài packet. Thanh ghi RegFifoRxCurrentAddr chỉ ra địa chỉ của gói tin cuối cùng được nhận nên gói cuối đó có thể dễ dàng lấy ra đọc bằng cách trỏ thanh ghi RegFifoAddrPtr tới thanh này.

Một điều quan trọng nữa là tất cả các data đều được viết vào data buffer dù là CRC không hợp lệ, cho phép người dùng định nghĩa quá trình sau của data hỏng. Khi đang nhận data, nếu packet size vượt quá buffer memory located for Rx thì nó sẽ ghi đè lên vùng đệm dữ liệu.

**Ngắt trong LoRa mode:** hai thanh ghi dùng để điều khiển IRQ trong LoRa là ReqIrqFlagsMask cái được dùng để che ngắt và ReqIrqFlags chỉ định ngắt nào được kích hoạt.

Ở thanh ghi FreqIrqFlagsMask, set bit là 1 sẽ che ngắt (nghĩa là disactivate cái ngắt đó), mặc định thì các ngắt đều available.

ở thanh ghi ReqIrqFlags, mức 1 nghĩa là ngắt được kích hoạt

**Chế độ làm việc:**

Có các chế độ làm việc(cài đặt trong thanh RegOpMode)

Table

Description automatically generated with low confidence

Bằng việc thay đổi giá trị thanh ghi RegOpMode thì ta có thể switch giữa các mode thoải mái

**Data transmission Sequence**:

Ở chế độ truyền thì năng lượng tiêu thụ sẽ tối ưu do các tác vụ như bật RF, PLL và PA chỉ khi có gói dữ liệu cần truyền. Diagram

Description automatically generated

Những thanh ghi cấu hình tĩnh thì chỉ được truy cập ở mode Sleep, Standby hoặc FSTX.

LoRa FIFO thì chỉ được ghi khi ở standby mode

Truyền dữ liệu sẽ được kích hoạt bằng cách gửi TX mode request

Khi truyền dữ liệu thành công thì tín hiệu ngắt TxDone sẽ được kích hoạt và chip sẽ quay về chế độ Standby

Sau khi truyền xong thì có thể đặt chip vào Sleep mode thủ công hoặc là FIFO refilled để thực hiện lần truyền tiếp theo(Tx)

**Transmit data FIFO Filling:**

Để viết gói tin vào FIFO:

1. Set FifoPtrAddr to FifoTxPtrBase
2. Write PayloadLength bytes to the FIFO(RegFifo)

**Data reception sequence:** Dưới đây là chu trình nhận ở cả 2 chế độ single và continuous receiver Diagram

Description automatically generated

**Single Reception Operating mode:** ở chế độ này, modem sẽ tìm kiếm preamble trong khoảng thời gian định sẵn. Nếu k thấy preamble, chip sẽ bật lên RxTimeout interrupt và quay lại chế độ Standby.

Thời gian định sẵn được cài đặt trong thanh ghi RegSymbTimeout register và nên trong khoảng 4(min) tới 1023 symbols.

Ở cuối của payload(nội dung), RxDone interrupt sẽ được kích cùng với PayloadCrcError Interrupt nếu payload Crc(kiểm tra lỗi) không hợp lệ. Tuy nhiên, ngay cả khi Crc k hợp lệ, dữ liệu vẫn được viết vào data fifo buffer để xử lý sau. Sau khi RxDone thì chip lại chuyển sang chế độ Standby

Modem sẽ tự động trở lại chế độ standby khi cờ RxDone được kích. Do đó chế độ đơn này chỉ nên được bật nếu thời gian truyền là cố định và biết trước. còn nếu k biết được trước thì nên dùng chế độ Continuous.

Ở Rx single mode, low-power vì tắt PLL và khối RF ngay sau khi packet được nhận.

**Continuous Reception Operating mode:**

Ở chế độ nhận liên tục, modem sẽ quét các kênh liên tục để tìm kiếm preamble. Mỗi khi preamble được phát hiện, modem sẽ track nó tới khi hoàn thành 1 packet rồi mới tiếp tục searching.

Nếu độ dài preamble exceed giá trị dự kiến set bởi RegPreambleMsb và RegPreambleLsb, preamble sẽ bị dropped và modem sẽ tìm kiếm cái khác. Nhưng không có cờ nào sẽ được kích nếu 1 preamble bị bỏ qua(cần lưu ý). Ở continuous mode, trái với single mdoe, cờ RxTimeout sẽ k bao giờ được bật và đương nhiên cũng sẽ không tự động vào chế độ Standby

Điều quan trọng nữa là các bytes được điều chế sẽ được viết vào memory buffer theo thứ tự. Nghĩa là, byte đầu tiên của gói sẽ được viết ngay sau khi byte cuối của gói trước kết thúc. RX modem địa chỉ con trỏ sẽ không reset miễn là mode này được bật. Do đó cần phải điều chỉnh địa chỉ con trỏ để tránh việc tràn bộ đệm.

**Rx single and Rx continuous Use Cases:**

Chế độ nhận single LoRa được sử dụng chủ yếu ở hệ thống cung cấp bằng pin. Ở những hệ thống anfy, việc sử dụng timeout cho phép người dùng hạn chế khoảng thời gian On Tx( cũng như giảm thiểu năng lượng tiêu thụ) trong khi không dùng bất kì MCU timers nào( Mcu có thể trong sleep mode khi sóng đang ở chế độ nhận??). RxTimeout interrupt được dựng lên ở cuối chu kì nhận, sẽ dùng để wake up cái MCU. Điểm lợi của Rx single là RxTimeout sẽ không bị ảnh hưởng nếu thiết bị đang thực hiện nhận data. Tuy nhiên nếu đnag trong quá trình nhận data, thiết bị mất kết nối bởi vì nhiễu ngoại, thiết bị sẽ drop việc đnag làm, bật cờ RxTimeout và chuyển sang Standby mode để giảm năng lượng tiêu thụ.

Chế độ liên tục Rx, dùng khi k có giới hạn về nguồn( ở đây dùng ở con Gate). Trong mode này chip sẽ liên tục kiểm tra xem có tín hiệu LoRa nào k, và sẽ liên tục xử lí đến khi bật sang mode khác thì thoai.

Mỗi lần nhận thì sẽ triggered cái RxDone nhưng mà vẫn stay in Rxmode chứ k chuyển sang Standbymode rồi sau đó lại tiếp tục nhận tín hiệu.

**Payload data Extraction from FIFO**

Đảm bảo việc nhận dữ liệu oke thì phải check ValidHeader, PayloadCrcError, RxDone và RxTimeout interrupts trong thanh ghi RegIrqFlag không dc dựng.

* RegRxNbBytes chỉ ra số bytes đã nhận
* RegFifoAddrPtr là con trỏ động chỉ chính xác nơi data LoRa nằm ở đâu
* Trỏ RegFifoAddrPtr tới RegFifoRxCurrentAddr để đọc packet
* Thủ công hơn thì set RegFifoAddrPtr bằng RegFifoRxBytesAddr trừ đi RegFifoNbBytes.

**Packet filtering based on Preamble Start**

**Receive timeout operation:**

Với single Tx mode, bộ timeout hoạt động bằng cách cho phép check trong 1 khoảng thời gian dự tính rồi sau đó mới dựng cờ ngắt để báo báo không có packet hợp lệ :D Bộ định thời là absolute cũng như bắt đầu ngay từ lúc radio trong mode single receive. The interrupt RxTimeout trong thanh ghi RegIrqFlags. Trong Rx Single mode, thiết bị sẽ quay trở lại standby mode ngay sau khi có cờ ngắt được dựng. Sau đấy thì người dùng phải xóa cờ ngắt, hoặc là vào trạng thái Sleep trước khi quay lại Rx single mode. Timeout được tính như sau

TimeOut = LoRaRxTimeout \* Ts

**Channel Activity Detection**

Điều chế trải phổ thì có 1 việc là khó xác định được channel nào đang sẵn sàng sử dụng do tín hiệu có thể below noise floor của bộ nhận. không dùng được RSSI nên chuyển qua CAD(channel activity detection) process:

Diagram

Description automatically generated

Diagram

Description automatically generated

**Principle of Operation:**

Dùng CAD để detect LoRa Preamble on radio channel với hiệu quả năng lượng cao. CAD quick scan

1. PLL Lock
2. Capture được LoRa preamble symbol of data ở channel. Consumption lúc đó sẽ là dạng specified Rx mode current
3. Radio receives và PLL tắt, modem digital processing starts

Graphical user interface, table

Description automatically generated